

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-018788

(43)Date of publication of application : 17.01.1997

(51)Int.Cl.

H04N 5/335

(21)Application number : 07-167407

(71)Applicant : CANON INC

(22)Date of filing : 03.07.1995

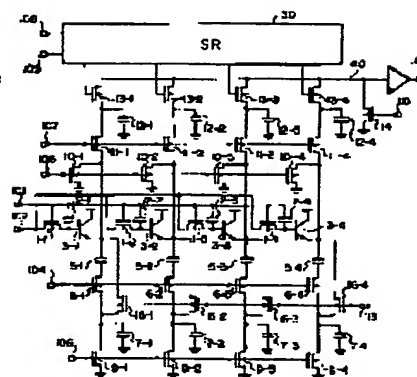
(72)Inventor : UENO TOSHITAKE

(54) SIGNAL PROCESSING UNIT, SOLID-STATE IMAGE PICKUP DEVICE AND IMAGE PICKUP METHOD FOR THE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a carrier transfer time in the solid-state image pickup device.

SOLUTION: In a photoelectric converter consisting of photoelectric conversion picture elements 1 converting a light into an electric signal and providing the signal to a signal output line. An input section of an amplifier is capacitively coupled with the signal output line of the photoelectric conversion picture elements 1 and an output section of the amplifier is connected to the signal output line via a switch. An emitter follower amplifier, a source follower amplifier or an operational amplifier is adopted for the amplifier.



LEGAL STATUS

[Date of request for examination]

23.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2907268

[Date of registration]

02.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-18788

(43) 公開日 平成9年(1997) 1月17日

(51) Int.Cl.⁵

H 0 4 N 5/335

識別記号

庁内整理番号

F I

H 0 4 N 5/335

技術表示箇所

P

審査請求 未請求 請求項の数12 O L (全 11 頁)

(21) 出願番号 特願平7-167407

(22) 出願日 平成7年(1995) 7月3日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 上野 勇武

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

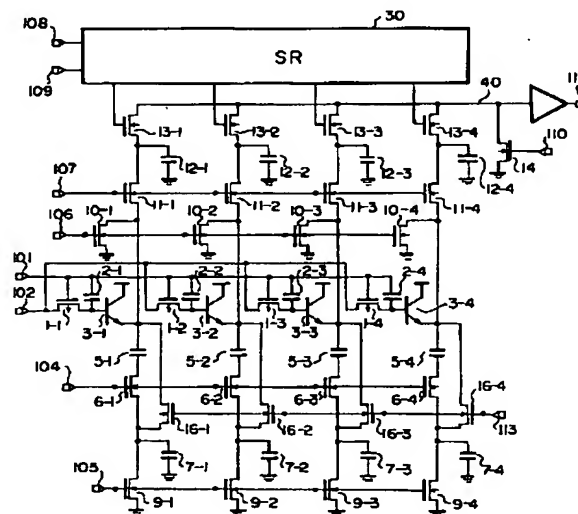
(74) 代理人 弁理士 山下 稔平

(54) 【発明の名称】 信号処理装置と固体撮像装置とこの装置の撮像方法

(57) 【要約】

【課題】 固体撮像装置において、キャリア転送時間を短縮することを目的とする。

【解決手段】 光を電気信号に変換して信号出力線5、9に出力する光電変換画素1から成る光電変換装置において、光電変換画素1の信号出力線5に、アンプの入力部が容量結合し、該アンプ出力部がスイッチを介して該信号出力線と接続することを特徴とする。また、アンプはエミッタフォロワ、又はソースフォロワないしは演算増幅器であることを特徴とする。



【特許請求の範囲】

【請求項1】 光信号を電気信号に変換する複数の光電変換画素と、前記光電変換画素からの電気信号を出力する転送手段とを備えた固体撮像装置において、前記光電変換画素の電気信号を前処理する前処理手段と、前記前処理手段の出力を次段に転送するバッファ手段と、

該バッファ手段の出力を前記転送手段に転送するスイッチ手段と、を具備することを特徴とする固体撮像装置。

【請求項2】 請求項1に記載の固体撮像装置において、前記前処理手段は、クランプ回路であることを特徴とする固体撮像装置。

【請求項3】 請求項1に記載の固体撮像装置において、前記バッファ手段は、バッファ容量を備えたことを特徴とする固体撮像装置。

【請求項4】 請求項1に記載の固体撮像装置において、前記スイッチ手段は、前記転送手段に蓄積された電気信号を放電した後にスイッチオンすることを特徴とする固体撮像装置。

【請求項5】 請求項1に記載の固体撮像装置において、前記スイッチ手段は、複数の前記バッファ手段をブロックとしてスイッチオンすることを特徴とする固体撮像装置。

【請求項6】 光信号を電気信号に変換する光電変換素子を含む光電変換手段と、前記電気信号を転送する蓄積容量を具備する転送手段と、前記蓄積容量の電荷を出力線に出力する走査手段とを備えた固体撮像装置において、

前記電気信号を一時蓄える結合容量を具備する前処理手段と、

前記結合容量の電荷を転送するバッファ容量を具備するバッファ手段と、

前記バッファ容量の電荷を前記蓄積容量に転送するスイッチ手段と、を備えたことを特徴とする固体撮像装置。

【請求項7】 請求項6に記載の固体撮像装置において、前記光電変換素子は、エミッタ端子を2個有するNPNトランジスタを具備し、前記エミッタ端子の一つは前記スイッチ手段の一端と前記転送手段に接続され、他の一つは前記前処理手段に接続されていることを特徴とする固体撮像装置。

【請求項8】 請求項6に記載の固体撮像装置において、さらに前記バッファ容量を出力するバッファ出力手段を備えたことを特徴とする固体撮像装置。

【請求項9】 請求項8に記載の固体撮像装置において、前記バッファ出力手段は、複数の光電変換画素をブロック化して得た前記バッファ容量の電荷を複数のブロックを重ねて出力することを特徴とする固体撮像装置。

【請求項10】 1つの信号源から出力された信号を並列的に複数種類の処理をする処理回路を内蔵した信号処

理装置において、上記処理回路の出力の少なくとも1つは共通の出力回路から時系列的に出力されることを特徴とする信号処理装置。

【請求項11】 請求項10に記載の信号処理装置は上記信号源が固体撮像素子であることを特徴とする固体撮像装置。

【請求項12】 光信号を電気信号に変換する光電変換素子を含む光電変換手段と、前記電気信号を転送する蓄積容量を具備する転送手段と、前記蓄積容量の電荷を出力線に出力する走査手段とを備えた固体撮像装置の撮像方法であって、

前記電気信号の電荷を一時結合容量に蓄えて、

前記結合容量の電荷をバッファ容量に転送し、

前記蓄積容量の電荷を放電し、

前記バッファ容量の電荷を前記蓄積容量に転送する、ことを特徴とする固体撮像装置の撮像方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像素子を有する固体撮像装置に関し、特に固体撮像素子からの光信号を効果的に処理する信号処理装置を具備する固体撮像装置に関する。

【0002】

【従来の技術】近年、半導体技術の著しい発展にともない、CCDやMOS型に代表される固体撮像装置の性能は大幅に向上し、ファクシミリ、スキャナ等、さまざまな製品に用いられる様になっている。それとともに、固体撮像装置に要求される高感度化、高解像度化といった特性向上の要求はもちろん、低電圧駆動に対する要求も次第に高まっており、CCDにおいては最近では5V電源で駆動できる製品も登場し、さらに低電圧で駆動するための開発が精力的になされている。

【0003】ここで、従来用いられてきたXYアドレス方式で増幅型の光電変換素子の1つであるバイポーラ型固体撮像装置の例を図14、図15に示す。図14は固体撮像素子の単位画素の等価回路図である。図において、NPNトランジスタ3、PMOSTランジスタ1および容量2で光電変換素子でもある単位画素が構成される。そこで、NPNトランジスタ3のベースが光子を受光して光電キャリアを蓄積し、そのキャリアを浮遊状態としたNPNトランジスタ3のエミッタに転送してキャリア出力信号とする。ここで、101はNPNトランジスタ3のベースを3レベルで駆動するリセットパルス供給端子で、102はPMOSTランジスタ1をオン/オフしてベースキャリアを蓄積放電するパルスの供給端子である。

【0004】図15は、各光電変換素子がNPNトランジスタ3-1～3-4、PMOSTランジスタ1-1～1-4および容量2-1～2-4から構成されていて、このバイポーラ型光電変換素子を1次元状に4個配列し

た固体撮像装置である。各画素は端子101に与えられるパルスでリセット、読み出し等の動作を行ない、それらの信号は、NPNトランジスタ3-1~3-4の各エミッタに出力され、PMOSTランジスタ11-1~11-4を介して蓄積容量12-1~12-4に一旦読みだされ、保持された後、走査回路SR30によりスイッチ手段のPMOSTランジスタ13-1~13-4を順次オンしてシリアル信号として各蓄積容量12-1~12-4の光キャリア信号を出力端子111に転送される。

【0005】ところで、この場合、1サイクルに必要な時間は、おもに画素のリセット、信号読みだし時間およびシリアル転送時間を要するが、その大半はシリアル転送時間に使われることが多かった。またこの時間は画素数が多い程長くなり、ラインセンサに対する複数行列のエリアセンサになるとサイクル時間のほとんどが転送時間になっていた。従って、像の有無を高速で検出するといったディテクターとしての用途を考える場合、この時間をいかに短くするかが問題となる。

【0006】本発明者は特開平6-268920号公報において、複数の画素の平均化した信号を出力することによって、この時間を短縮できることを示した。ところが、上記発明ではエリアセンサの水平方向における信号の平均化は容易であるものの、垂直方向の信号の平均化は、2~4画素程度の平均化が普通であり、それ以上はチップサイズの増大を招くため困難であった。従って、エリアセンサを用いた、高速で、しかも安価なディテクターは極めて困難だった。

【0007】

【課題を解決するための手段】本発明において、上記困難点を解決するべくなされたもので、本発明の固体撮像装置では、各画素の信号を前処理した信号出力と、1画素毎の出力との両方を出力する機能を有した固体撮像装置であって、上記前処理された信号出力は、1画素毎の信号を出力する出力手段を通して出力されることを特徴としている。

【0008】以下、図16を用いてその動作・作用を概念的に説明する。図16において51-1~51-8は単位画素、50-1~50-8は単位画素51-1~51-8の画素信号を蓄積容量に保持し、その後シリアルに出力線55に出力する転送手段、52-1~52-8は単位画素51-1~51-8に接続されて前処理を行なう前処理手段、53-1~53-8は前処理手段の信号をバッファするバッファ手段であり、54-1~54-8は転送手段50-1~50-8とバッファ手段53-1~53-8を接続するスイッチング手段である。尚、バッファ手段53-1~53-8は必ずしも設ける必要はない。

【0009】本発明によれば、単位画素51-1~51-8の信号は、1画素毎の信号を保持する転送手段50

-1~50-8に読み出された後、出力線55を介して出力回路56を通して、端子57に出力される。一方、前処理手段52-1~52-8で適当な前処理が施された後、バッファ手段53-1~53-8を通して転送手段50-1~50-8に転送され、端子57に出力される。ここで当然のことながら上記前処理しない信号と前処理した後の信号の出力は、重ならず別の期間において出力されなければならない。また前処理しない信号と前処理後の信号を保持する転送手段50-1~50-8においてブロック化してミキシングした後、シリアル転送して、出力することも可能である。

【0010】ここで、例えば保持、転送手段50-1~50-8は、図15に示した蓄積容量12-1~12-4と、スイッチ手段13-1~13-4、および走査回路30で実現でき、また前処理回路は後に示すようなクランプ回路によるFPN(Fixed Pattern Noise)除去回路などを適用できる。

【0011】また、図17において、図16と同一部分は同一符号を付しているが、前処理手段52-1~52-8で前処理した信号をバッファ手段53-1~53-8でバッファした後で、複数列をブロック化し、保持、転送手段に読みだすものである。この構成の場合、画素の信号量を少なくすることができ、サイクル時間を大幅に削減することができ、しかも保持、転送回路および出力回路は、前処理をしない信号のものと共有することができ、大きなチップサイズ増大を伴わない。従って、通常はこのブロックの出力を読みだし、この信号をもとにディテクト動作を行い、その結果必要に応じて各画素の信号を1画素ずつ読みだすことによって、高速、低消費電力でかつ低コストの固体撮像装置を提供することができる。以下の実施例でこれをさらに詳細に説明する。

【0012】

【発明の実施の形態】本発明による各実施の形態について、その動作・作用とともに、図面を参照しつつ、以下に詳細に説明する。

【0013】(実施例1)図1に本発明による第1の実施例を示す。本実施例は光電変換素子として図14に示したバイポーラ型光電変換素子を用い、これを1次元状に4個並べたものである。図において、図15と同一符号は同様な機能を有するものとする。加えて、上述の本発明による動作・作用において説明した図16に示した前処理手段としての結合容量5-1~5-4とNMOSTランジスタ6-1~6-4と、バッファ手段としてのバッファ容量7-1~7-4とNMOSTランジスタ9-1~9-4と、スイッチ手段としてのNMOSTランジスタ16-1~16-4とが備えられている。

【0014】以下、本実施例の動作を図4のタイミングチャートを用いて説明する。まず、端子105および104、107にHighレベルのパルスを入力し、NMOSTランジスタ9-1~9-4、6-1~6-4および

10

20

30

40

50

び11-1~11-4を導通状態とする。

【0015】時刻T0において、端子101にLowレベルのバースを印加すると、PMOSTランジスタ1-1~1-4が導通し、各光電変換素子のベース領域が端子102に与えられる電圧にリセットされる（第1のリセット）。その後、端子101のバースがMiddleレベルになり、各PMOSTランジスタ1-1~1-4のゲートソース間電圧VGSが、PMOSTランジスタのしきい値Vth以下になると、PMOSTランジスタ1-1~1-4は非導通状態になり、第1のリセットは終了する。

【0016】さらに、時刻T1になると、端子106にHighレベルのバースが印加され、NMOSTランジスタ10-1~10-4が導通し、各画素のNPNトランジスタのエミッタ電位がリセット電位（図ではGND）にリセットされる。

【0017】その後、時刻T2において、端子101にHighレベルのバースが印加されるとPMOSTランジスタ1-1~1-4は非導通状態のままで、容量2-1~2-4を介した容量結合によりNPNトランジスタのベース電位が上昇し、ベース・エミッタ間電圧が順バイアスされ、NPNトランジスタ3-1~3-4はエミッタフォロア動作を行い、浮遊状態であるベース領域上のホールが光再結合され、その結果ベース電圧はリセットされる（第2のリセット）。

【0018】このリセットが終了すると、時刻T3において、端子101のバースがMiddleレベルまで立ち下がり、今度は各画素のベース電位は負側にふられ、ベース・エミッタ間電圧は逆バイアス状態になりこの時点で蓄積動作が開始される（第1の蓄積動作）。

$$V_{R'} = -C_c \times V_R / (C_c + C_r + C_s) \quad \dots (1)$$

C_c：結合容量5-1~5-4の容量値

C_r：バッファ容量7-1~7-4の容量値

C_s：NMOSTランジスタ8-1~8-4のゲート容量を含む寄生容量

で表される。またNMOSTランジスタ10-1~10-4がオンなので、蓄積容量12-1~12-4に読みだされた信号もリセットされる。

【0024】次に、時刻T9~T14まではNMOSTランジスタ9-1~9-4がオフである違いはあるが、T0~T4と同様に動作し、再び光電変換素子をリセットし、光キャリアの蓄積を行った後（第2の蓄積）、時刻T14において読み出し動作を行なう。その時（1）式の電圧のうえに信号電圧が読みだされるため、結果として第1の蓄積期間と第2の蓄積期間で光電変換された信号の差信号がバッファ容量7-1~7-4に保持される。

【0025】その後、時刻T16において、端子106にHighレベルのバースを印加し蓄積容量12-1~12-4を再びリセットした後、時刻T17において、

*【0019】つぎに所定の蓄積時間が経過した後、時刻T4において、端子106のバースがLowレベルまで立ち下がると、NMOSTランジスタ11-1~11-4が非導通状態になり、各画素トランジスタ3-1~3-4のエミッタと容量12-1~12-4が浮遊状態になる。

【0020】そして、時刻T5において、端子101にHighレベルのバースが印加されると各画素のベース電位は容量2-1~2-4を介して正側にふられ、各画素のNPNトランジスタ3-1~3-4のベース・エミッタ間電圧が順バイアス状態になり、したがって各画素で光電変換されベース領域に蓄積された信号はそれぞれ、蓄積容量12-1~12-4および結合容量5-1~5-4に読み出される。

【0021】その後、読みだし動作が終了する直前の時刻T6において、端子105のバースが立ち下がり、NMOSTランジスタ9-1~9-4が非導通状態になる。

【0022】そうして、時刻T7において、端子101のバースが立ち下がり、容量2-1~2-4を介してNPNトランジスタ3-1~3-4がオフとなり、読みだし動作が終了する。

【0023】その後、時刻T8になると、端子106に再びHighレベルのバースが印加され、各画素NPNトランジスタ3-1~3-4のエミッタがリセット電圧（図ではGND）にリセットされると、バッファ容量7-1~7-4の電圧は結合容量5-1~5-4による容量結合のため負側にふられる。ここで、結合容量5-1~5-4に読みだされた信号をV_R、ふられた後の信号をV_{R'}とすると

端子113にHighレベルのバースを入力しNMOSTランジスタ16-1~16-4を導通させるとバッファ容量7-1~7-4の信号が蓄積容量12-1~12-4に転送される。

【0026】この後、時刻T18において、端子104、107がLowレベルとなって、NMOSTランジスタ6-1~6-4と、11-1~11-4がオフし、そしてNMOSTランジスタ16-1~16-4を非導通とする。

【0027】そうして、時刻T19以降、出力線40をリセットしながら走査回路30を動作させ蓄積容量12-1~12-4の信号を順次シリアルに出力端子111に転送して一連の動作が終了する。ここで第1の蓄積時間を非常に短く設定すると、第1の読み出し動作では、暗時に相当する信号が得られるため、その後の第2の蓄積、読み出しで得られた信号との差分演算を行うことにより、FPNを除去することができる。

【0028】また第1の蓄積時間と第2の蓄積時間を同じにし、第2の蓄積期間中にLED等の光源で被写体を

照らすと、屋外等の外光のある環境下においても外光成分を除去することができ、正確な物体検出がおこなえる。

【0029】以上の動作は、前処理を施した場合の信号出力の例であるが、各画素の信号をそのまま出力する場合は、図5のタイミングチャートに示す駆動を行えばよい。図5は図4の一部を修正したもので蓄積を2回行って、端子113をT17でもしowのままで、最終的に読みだされる信号は第2の蓄積動作における信号であり、時刻T0から時刻T9までの期間は省略しても全く問題はない。

【0030】図5では、端子113は常にLowレベルであり、NMOSトランジスタ15-1~15-5は常時非導通状態にあるので、クランプ回路部で行われる演算は蓄積容量12-1~12-4には全く影響せず、従来通り読み出し時には各画素の信号は蓄積容量12-1~12-4に直接読み出され、リセットされず、その後、走査回路30によりシリアル出力される。クランプ処理を行なうと、(1)式に示したように、出力が低下するため室内等比較的低輝度の被写体を検出する場合等、センサ信号を直接読み出すほうが検出感度向上のため効果的である。

【0031】ここで、図1においては、前処理回路をクランプ回路を用いた差分演算回路とした例を示したが、図2に示すように、各垂直出力線にスイッチ手段17-1~17-4を介して、保持容量18-1~18-8を2つずつ設け、さらに隣接画素間で保持容量を導通させるスイッチ手段を設け、その出力を転送スイッチ9-1~9-4を介して、NPNトランジスタ3-1~3-4のエミッタ端子に接続することにより、前処理を隣接画素間の信号平均化にすることもできる。

【0032】その他、図3に示すように、容量5-1~5-4をなくし、容量35-1~35-4に、容量12-1~12-4に読み出された信号とは異なる時点の光電変換信号を保持させることにより、異なる蓄積時間の信号をシリアルに読み出すことができる他、本構成で画素を2次元配列すると、各垂直方向の画素列の最大信号を容量35-1~35-4に保持し、これらを各画素の信号とは別なタイミングで出力することも可能となる。

【0033】また、前処理回路としては、オペアンプを用いた演算回路等を用いてもよい。

【0034】(実施例2)図6に本発明による第2の実施例を示す。図6において図1又は図15と同一符号のものは同様な機能を有するものとして詳細な説明は省略する。本実施例で用いた光電変換素子は図7に示すようにエミッタ端子を2個有するNPNトランジスタ33、PMOSトランジスタ1および容量手段2からなり、さらにエミッタ端子2個のうち1つは画素ブロックを形成する他の画素間で共通接続され、ブロックを構成する画素の最高電圧がバッファ容量7-1、7-2に蓄積さ

れ、蓄積容量12-1、12-3に転送されて、走査回路SR30の走査により、蓄積容量12-1、12-3の蓄積量を端子111から出力される。

【0035】本実施例の駆動方法は、おおむね第1の実施例の図4又は図5に準じ、端子103は端子106と同じタイミングで駆動されて、リセット、蓄積を行なう。従って、通常はこのブロックの出力を読み出し、ブロック中の最高感度を有する画素の蓄積キャリアを出力するので、この信号をもとにディテクト動作を行なう。この回路動作の結果、必要に応じて各画素の信号を1画素ずつ読み出すことも可能であり、ブロックとして複数画素の最高感度の画素の出力を得ることとなるので、撮像感度が向上し、また信号量を大幅に圧縮することができ、サイクル時間の短縮、低消費電力化に大きな効果をもたらす。

【0036】(実施例3)図8に本発明による第3の実施例を示す。図8において図1、図6又は図15と同一符号のものは同様な機能を有するものとして詳細な説明は省略する。本実施例は第2の実施例をさらに改良したものでクランプ回路の出力側の容量7-1、7-2にNPNトランジスタ8-1、8-2を設け、それらのエミッタ端子を共通接続した後、定電流源15を設け、端子112を出力としたものである。

【0037】本実施例によるとクランプ動作の後、バッファ容量7-1、7-2に出力された信号は走査回路30を動作させることなく、ただちにその最大値が端子112に出力されるため、実施例2に対してさらにサイクル時間が短く消費電力も節約できる。なお、本実施例ではNPNトランジスタを用いたがPNPトランジスタを用いたエミッタフォロア回路にすると出力端子112にはブロック信号の最小値が得られる。従って、本実施例は信号量が所定の値以上(以下)かどうかを検出し、その結果、必要な時のみ各ブロックまたは各画素の信号を読みだすといった駆動が可能であり、光電変換の目的に従って光電変換出力を得ることができて効果的である。

【0038】また、図8において、バッファ容量7-1、7-2は、NMOSトランジスタ9-1、9-2によりGND電位にリセットされるように図示されているが、図9に示すように、リセット電源端子131を設け、NPNトランジスタ8-1、8-2のベース・エミッタ間バイアスが、充分準バイアスされるような電圧に設定したほうが微小信号出力をも十分読み出すことができる。

【0039】さらに、図8において、バッファ容量7-1、7-2の信号は、定電流源15を用いたエミッタフォロア回路を用いて読み出されるため、NPNトランジスタ8-1、8-2の電流増幅率を β 、定電流源15の電流値を I_0 、バッファ容量の容量値を C_B とすると、読み出し時間 T_R の間に、バッファ容量の信号電圧は、

$$\{ (I_0 / \beta) \times T_R \} / C_B \quad \dots\dots (2)$$

だけ、低下することになる。従って、エミッタフォロア回路を図10に示すダーリントン接続のエミッタフォロアにすると、信号電圧低下分は

$$\{(I_0/\beta') \times TR\} / C_B \quad \dots\dots (3)$$

に低減することができる。例えば、電流増幅率 β が1000程度、 I_0 が数 μA 、 C_B が数pFであれば、事実上信号電圧の低下をなくすることができる。

【0040】(実施例4) 図11に本発明による第4の実施例を示す。図11において図1、図15等と同一符号のものは同様な機能を有するものとして詳細な説明は省略する。実施例1～3ではバッファ容量7-1～7-4(7-1～7-2)と蓄積容量12-1～12-4がスイッチ16-1～16-4(16-1～16-2)を介して接続されるためその転送ゲインは

$$C_T / (C_T + C_{T2} + C_{S2}) \quad (4)$$

C_T : バッファ容量7-1～7-4の容量値

C_{T2} : 蓄積容量12-1～12-4の容量値

C_{S2} : NMOS16-1～16-4のゲート容量を含むバッファ容量及び7-1～7-4と蓄積容量12-1～12-4の間の寄生容量

となり、通常この値は0.3～0.4程度であった。本実施例ではバッファ容量7-1、7-2に、NPNトランジスタ8-1、8-2からなるエミッタフォロア回路を設け、その出力をスイッチ16-1、16-2を介して蓄積容量12-1、12-3に接続するようにした。従って、寄生容量等 C_{S2} の容量値が極小となり、ほとんど損失なく蓄積容量12-1～12-4に転送することができ、センサからの信号量が小さい時等に効果的である。

【0041】(実施例5) 図12に本発明による第5の実施例を示す。図12において図1、図15等と同一符号のものは同様な機能を有するものとして詳細な説明は省略する。本実施例は実施例3と実施例4を組み合わせたもので実施例4においてNPNトランジスタ8-1、8-2のエミッタをNMOSTランジスタ17で接続するようにし、端子112からブロック出力の最大値を取り出すことができるようにしたものである。実施例3で説明したようにバッファ容量7-2の光量キャリアを即座にブロックの最大出力をえることができ、その後端子114にHigh電圧のパルス印加すれば、バッファ容量7-1の光量キャリアをも出力できて、各ブロックの出力も損失なく読みだすことができる。

【0042】(実施例6) 図13に本発明による第6の実施例を示す。図13において図1、図15等と同一符号のものは同様な機能を有するものとして詳細な説明は省略する。本実施例は実施例5に対して光電変換素子を2次元状に配列したもので、縦2画素、横2画素でブロックを構成し、4×4のエリアセンサとして行列2ブロックづつを示し、その出力は、クランプ回路を通して容量7-1～7-4に読み出される一方で、各画素の信号

は垂直シフトレジスタ31によって駆動される蓄積容量12-1～12-4に読み出される。端子1から時系列的に3レベルのパルスが印加され、上述の各画素のリセット、蓄積のタイミングを指示し、端子115、116からクロックとタイミング信号を入力された垂直シフトレジスタ31から順次パルス信号を出力され、各スイッチをオン・オフして各画素を走査する。その走査信号と各端子からの印加パルス信号に応じて、各画素となるエミッタ端子を2個有するNPNトランジスタ3-1～3-16のベースに蓄積された光キャリア出力信号を、一方では蓄積容量12-1～12-4に、他方ではブロック的な動作による結合容量5-1～5-4を介してバッファ容量7-1～7-4に転送蓄積される。

【0043】そうして、端子106のHighパルスにて蓄積容量12-1～12-4をリセットして、スイッチ手段16-116-4を介してブロックの最大電荷であるバッファ容量7-1～7-4の容量電荷を転送し、順次端子111から出力する。また、端子114からの印加パルスによって、全16画素の最大蓄積キャリアに相当する光電変換出力を端子112から得ることができる。

【0044】本実施例によれば、光電変換画素と垂直走査回路を加えてエリアセンサとして第5の実施例よりも広範な撮像領域が得えられるため、より高精度のより高感度の検出動作が実現できる。また、本実施例による垂直列をブロック化し、各画素の平均値をバッファ容量に蓄積するようにすれば、サイクル時間を特に必要とせず短時間に垂直画素の平均値を得ることができる。

【0045】以上の実施例では各ブロックの信号をNPNトランジスタ8-1、8-2を用いたピーク信号で検出動作を行ったが、PNPトランジスタを用いてボトム信号も検出するようにしても全く問題ないし、それら両方を光電変換装置の目的に従って用いると、よりさらにきめ細かい検出が可能になる。

【0046】また上記の実施例はすべてバイポーラ型光電変換素子を用いて説明したが、CMD、AMI、FGA等の光電変換素子を用いても同様の効果が得られる。

【0047】

【発明の効果】以上説明したように、本発明によれば、各画素の信号を前処理した信号出力と、1画素毎の出力との両方を出力する機能を有したので、従来の走査による光電変換出力を得ることは勿論、前処理した信号出力によってシリアル転送時間を短縮できる。また画素数が多い場合でも、複数行列のエリアセンサであっても、転送時間が加算されることはなく、サイクル時間の延長がなく、像の有無を高速で検出することができる。

【0048】また、前処理回路によるクランプ回路によってFPN(Fixed Pattern Noise)を効果的に除去できる。

【0049】複数列をブロック化することにより、画素

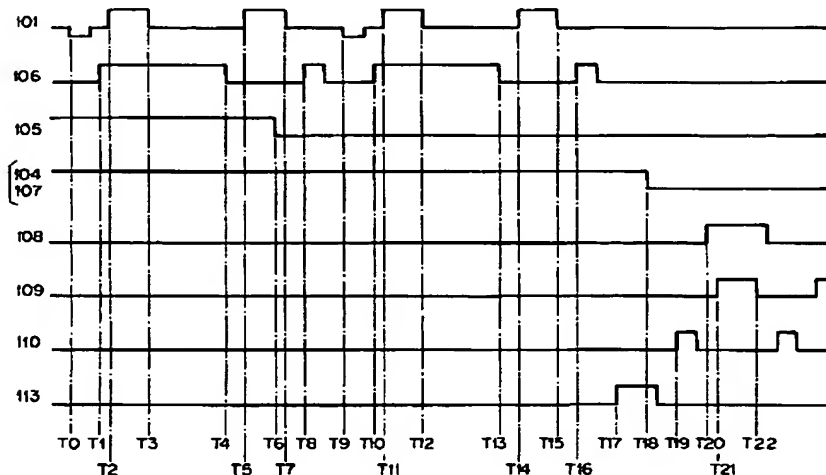
の信号量を少なくすることができ、サイクル時間を大幅に削減することができ、しかも保持、転送回路および出力回路は、前処理をしない信号のものと共有することができ、大きなチップサイズ増大を伴わずに、高速、低消費電力でかつ低コストの固体撮像装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による一実施例の回路図である。
 【図2】本発明による一実施例の回路図である。
 【図3】本発明による一実施例の回路図である。
 【図4】本発明による図1～図3の動作を説明するタイミングチャートである。
 【図5】本発明による図1～図3の他の動作を説明するタイミングチャートである。
 【図6】本発明によるブロック化した一実施例の回路図である。
 【図7】本発明による図6に用いる光電変換素子の画素の一例を示す回路図である。
 【図8】本発明によるブロック化した他の実施例の回路図である。
 【図9】本発明によるブロック化した他の実施例の回路図である。
 【図10】本発明によるブロック化した他の実施例の回路図である。
 【図11】本発明によるブロック化した他の実施例の回路図である。
 【図12】本発明によるブロック化した他の実施例の回路図である。
 【図13】本発明によるブロック化した他の実施例の回路図である。
 【図14】従来の光電変換素子の画素の一例を示す回路図である。

*

【図4】



*【図15】従来のラインセンサの一例を示す回路図である。

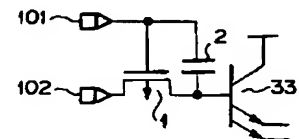
【図16】本発明による動作原理を説明するブロック図である。

【図17】本発明による他の動作原理を説明するブロック図である。

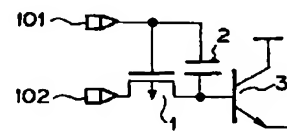
【符号の説明】

- | | |
|----|-------------------|
| 1 | PMOSトランジスタ |
| 2 | 容量 |
| 3 | NPNトランジスタ |
| 4 | NMOSトランジスタ |
| 5 | 結合容量 |
| 6 | NMOSトランジスタ |
| 7 | バッファ容量 |
| 8 | NPNトランジスタ |
| 9 | NMOSトランジスタ |
| 10 | NMOSトランジスタ |
| 11 | NMOSトランジスタ |
| 12 | 蓄積容量 |
| 13 | NMOSトランジスタ |
| 14 | 出力線放電用NMOSトランジスタ |
| 15 | 定電流源 |
| 16 | スイッチ手段用NMOSトランジスタ |
| 17 | NMOSトランジスタ |
| 30 | 水平走査回路 |
| 31 | 垂直走査回路 |
| 50 | 保持・転送手段 |
| 51 | 単位画素 |
| 52 | 前処理回路 |
| 53 | バッファ回路 |
| 54 | スイッチ手段 |

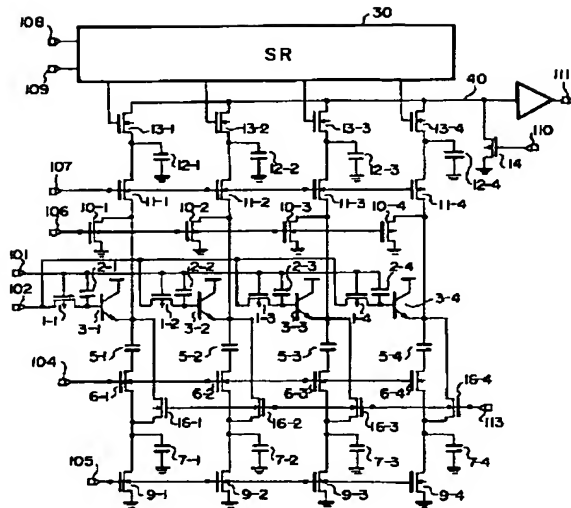
【図7】



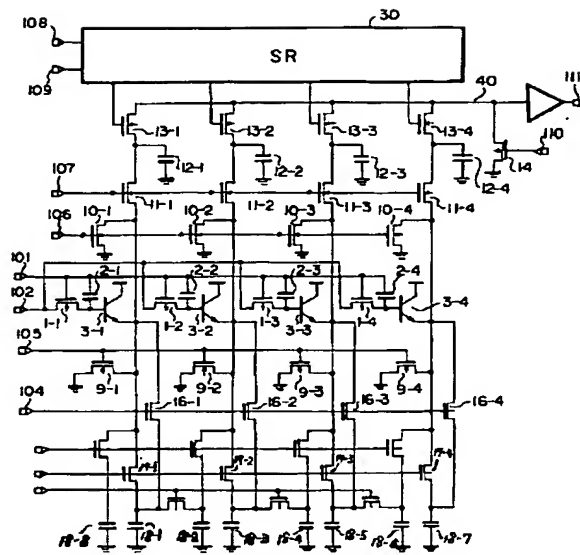
【図14】



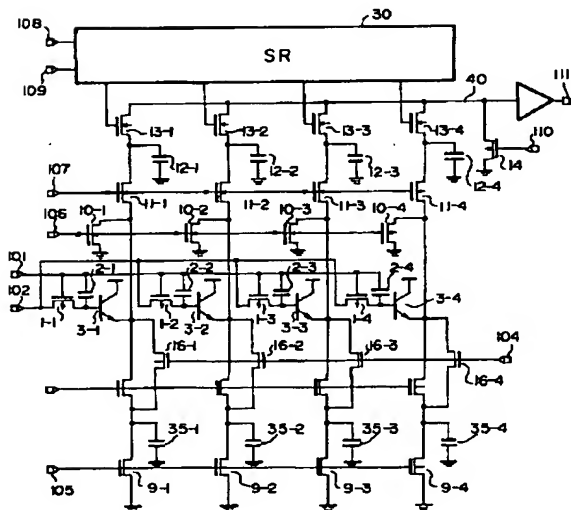
【図1】



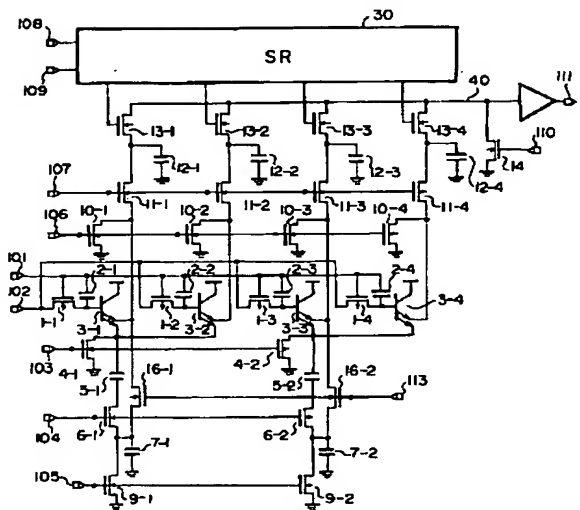
【図2】



【図3】



【図6】



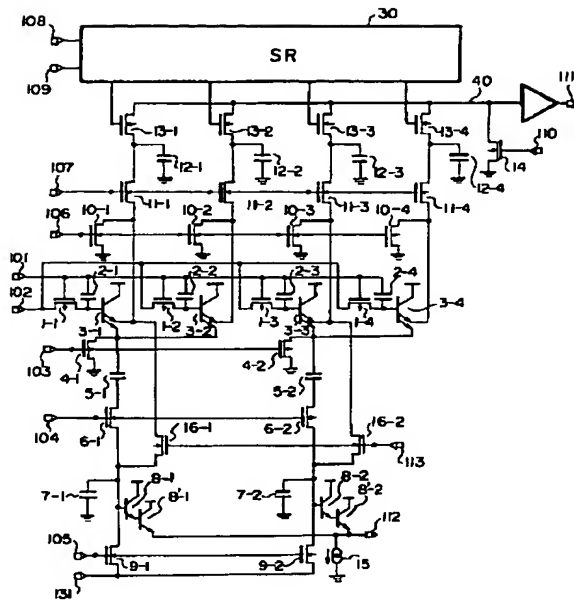
The timing diagram illustrates the digital signals for the 68000 microprocessor. The signals are labeled as follows:

- 101: Clock signal (square wave).
- 103, 106: Data bus signals (square wave).
- 105: Data bus signal (square wave).
- 104, 107: Data bus signals (square wave).
- 108: Data bus signal (square wave).
- 109: Data bus signal (square wave).
- 110: Data bus signal (square wave).
- 113 (Low): Data bus signal (square wave).

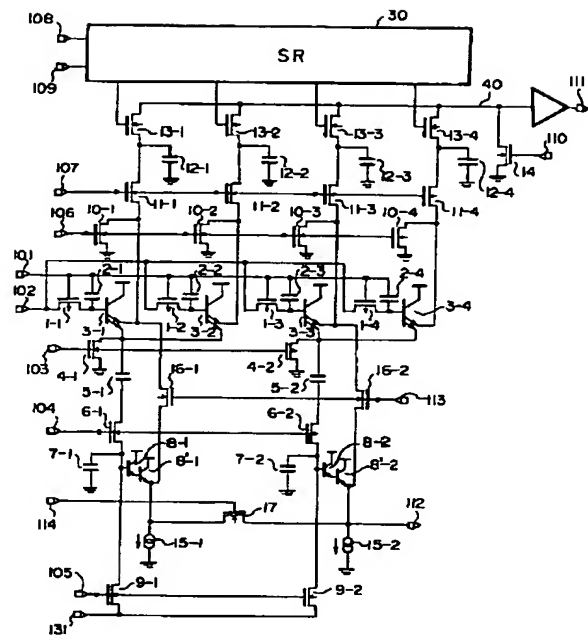
The time axis is marked with vertical lines labeled T0 through T20, indicating specific time points or clock cycles. The signals are shown as digital waveforms with specific transitions marked by vertical lines labeled T0 through T20.

[illegible]

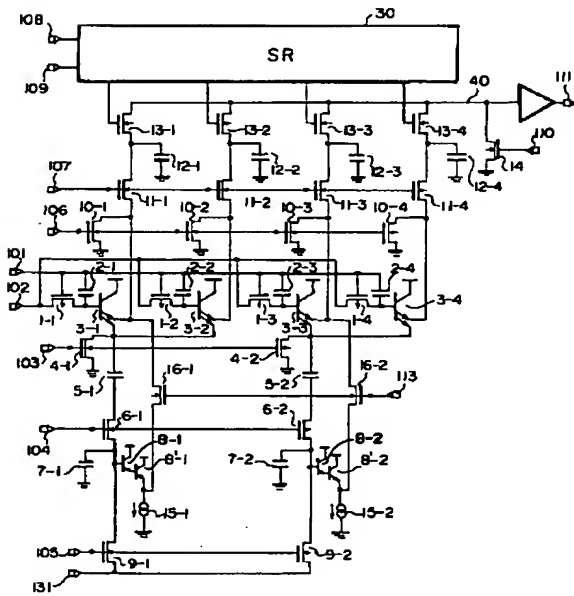
【図10】



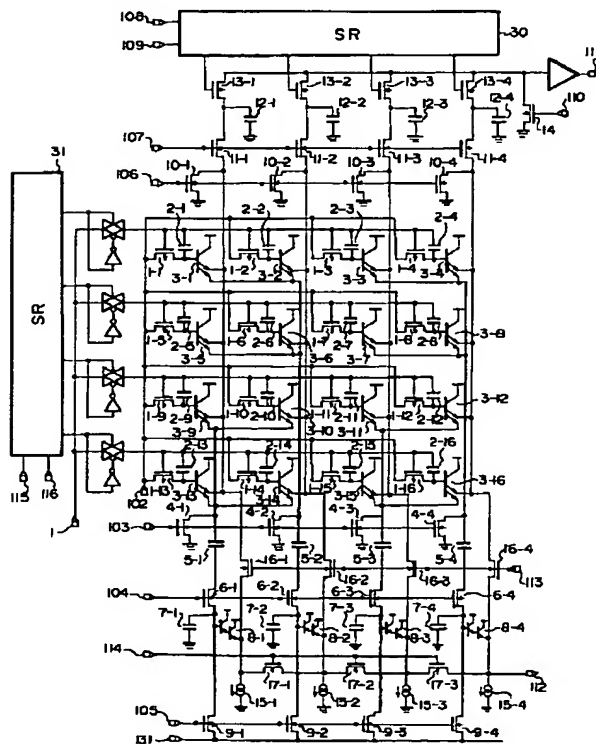
【図11】



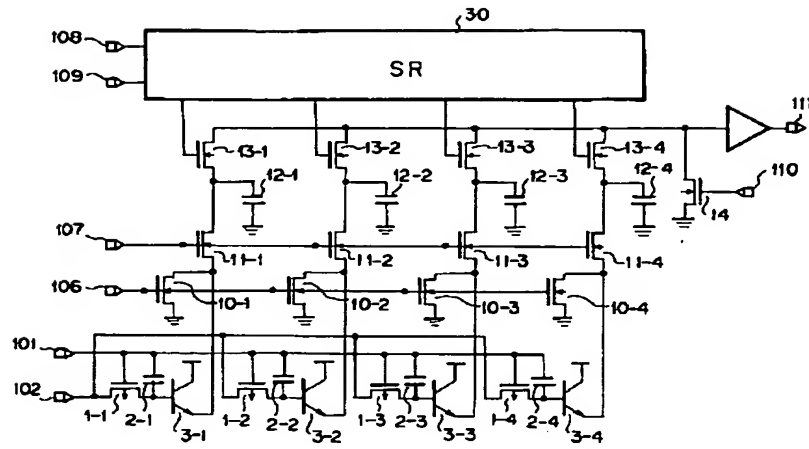
【図12】



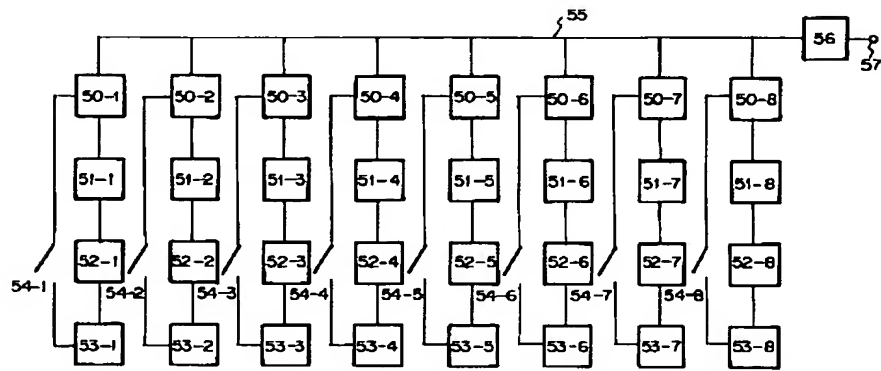
【図13】



【図15】



【図16】



【図17】

